

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-5866

(43) 公開日 平成5年(1993)1月14日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
	5 0 5	7820-2K		
1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7926-5G		

審査請求 未請求 請求項の数 3 (全 8 頁)

(21) 出願番号 特願平3-159162

(22) 出願日 平成3年(1991)6月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 尚幸

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 山下 俊弘

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 ▲高▼藤 裕

大阪市阿倍野区長池町22番22号 シャープ株式会社内

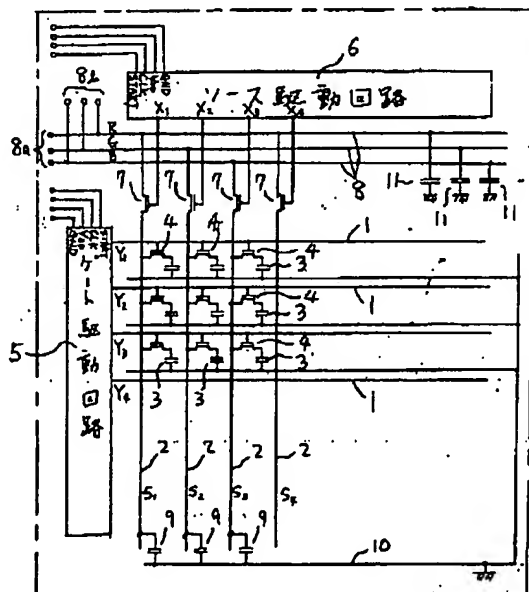
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板の検査方法

(57) 【要約】

【構成】 まずゲートバスライン1の選択によって当該行の各絵素トランジスタ4をONにし、この水平走査期間内に各ソースバスライン2を順次選択することにより各絵素容量3に所定の映像信号を順に書き込み、次に再びゲートバスライン1の選択によって当該行の各絵素トランジスタ4を導通させ、この水平走査期間内に各ソースバスライン2を順次選択することにより各絵素容量3に保持された映像信号を順に読み出し、この読み出した信号を検査することによりアクティブマトリクス基板の良否を判定する。

【効果】 駆動回路5、6やバスライン1、2のみならず絵素トランジスタ4の良否まで迅速かつ確実に検査できるので、精度の高い検査が可能となり、しかも、アクティブマトリクス基板の状態を検査して不良箇所を確実に特定することができるので、欠陥箇所の修正も容易に行うことができる。



1

【特許請求の範囲】

【請求項1】縦横に交差して形成された複数の走査信号線とデータ信号線の各交差部にそれぞれスイッチング素子を介して絵素容量を接続したアクティブマトリクス基板の検査方法において、該走査信号線の選択によって当該行の各スイッチング素子を導通させること、この間に各データ信号線を順次選択することにより各絵素容量に所定の映像信号を順に書き込むことこの各スイッチング素子を一旦遮断した後に、再び該走査信号線の選択によって当該行の各スイッチング素子を導通させること、この間に各データ信号線を順次選択することにより各絵素容量に保持された映像信号を順に読み出すこと、この読み出した信号を検査することにより良否を判定することを包含するアクティブマトリクス基板の検査方法。

【請求項2】前記アクティブマトリクス基板には前記走査信号線を駆動するための走査信号線駆動回路及び前記データ信号線を駆動するためのデータ信号線駆動回路の少なくとも一方が設けられている請求項1に記載の検査方法。

【請求項3】前記映像信号の書き込み及び読み出しは映像信号端子を介して行う請求項1に記載の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等におけるアクティブマトリクス基板の検査方法に関する。

【0002】

【従来の技術】液晶表示装置における駆動回路を内蔵した従来のアクティブマトリクス基板の構成を図7を用いて説明する。アクティブマトリクス基板は、基板面に縦横に交差して多数形成されたゲートバスライン（走査信号線）101とソースバスライン（データ信号線）102の各交差部に、それぞれ絵素容量103と絵素トランジスタ（スイッチング素子）104とをマトリクス状に配置したものである。各ゲートバスライン101は、ゲート駆動回路105によって駆動され、当該行の各絵素トランジスタ104のON/OFFを制御するようになっている。ソースバスライン102は、ソース駆動回路106によってON/OFFを制御されるアナログスイッチ107を介して、いずれかの映像信号線108に接続されるようになっている。また、ソースバスライン102は、当該列の各絵素トランジスタ104を介して対応する絵素容量103にそれぞれ接続される。さらに、各ソースバスライン102には、それぞれ付加容量109が接続され、配線110によって各絵素容量103の他方の電極とこの付加容量109の他方の電極が同一の基準電位となるように構成されている。

【0003】上記アクティブマトリクス基板は、まずゲート駆動回路105が各ゲートバスライン101に順にON信号を出力し、このON信号が出力されたゲートバスライン101の行の全ての絵素トランジスタ104を

2

ONとする。また、1のゲートバスライン101にON信号が出力されている間に、ソース駆動回路106が各アナログスイッチ107に順にON信号を出力する。すると、ONとなったアナログスイッチ107に接続されたソースバスライン102が対応する映像信号線108に接続され、このソースバスライン102を介してONとなった絵素トランジスタ104に接続された絵素容量103に映像信号が書き込まれる。また、このようにして絵素容量103に書き込まれた映像信号は、ゲート駆動回路105が他の行のゲートバスライン101にON信号を出力している間は、絵素トランジスタ104がOFFすることにより保持される。そして、ゲート駆動回路105が全ての行のゲートバスライン101にON信号を出力し終えると、再び最初の行から順にON信号を出力して、以降この動作を繰り返す。

【0004】液晶の透過率は、この動作の1周期の間における印加電圧の実効値に依存する。従って、液晶表示装置の表示品質を向上させるには、各絵素容量103に映像信号を十分に書き込むと共に、この絵素容量103の電荷が保持されるようにリーク電流をできるだけ低減する必要がある。

【0005】上記アクティブマトリクス基板は、液晶を介して対向基板と向かい合わせに組み合わせて液晶表示装置として実際に駆動可能となった後であれば、光学的な検査による不良の検査を容易に行うことができる。しかしながら、この状態でアクティブマトリクス基板が不良であると判断された場合には、もはや不良箇所の修正は不可能であり、しかも、対向基板との組み立て工程が全くの無駄となってしまう。従って、アクティブマトリクス基板は、絵素トランジスタ104等の形成工程が終わった段階で検査を行い、可能な場合は不良箇所の修正を行った上で対向基板との組み立て工程に送り出せるようにする必要がある。

【0006】

【発明が解決しようとする課題】そこで、このようなアクティブマトリクス基板を組み立て前に検査するために、図7に示すような検査回路111～114を基板上に形成することが考えられる。検査回路111、112は、ゲート駆動回路105とソース駆動回路106におけるシフトレジスタの最終段の出力を検査パッド111a、112aに導くようにした回路である。従って、これらの検査パッド111a、112aの出力をモニタしながらゲート駆動回路105とソース駆動回路106を動作させれば、これらの回路の良否を検査することができる。

【0007】また、検査回路113は、各ゲートバスライン101をそれぞれスイッチ113aを介し、一括して検査パッド113bに接続するようにした回路である。さらに、検査回路114は、各ソースバスライン102をそれぞれスイッチ114aを介し、一括して検査

3

パッド114bに接続するようにした回路である。そして、これらのスイッチ113a、114aは、検査パッド113c、114cによってON/OFFが制御されるようになっている。従って、例えばゲートバスライン101を検査する場合には、検査パッド113cにON信号を印加してスイッチ113aをONとし、ゲート駆動回路105を動作させれば、検査パッド113bの出力により断線等の不良を発見することができる。また、ソースバスライン102を検査する場合には、映像信号線108に適当な信号を付加しておき、検査パッド114cにON信号を印加してスイッチ114aをONとし、ソース駆動回路106を動作させれば、検査パッド114bの出力により断線等の不良を発見することができる。

【0008】ところが、この改良された検査方法は、ゲート駆動回路105やソース駆動回路106の動作及びゲートバスライン101やソースバスライン102の良否を検査するだけである。しかしながら、アクティブマトリクス基板では、膨大な数の絵素トランジスタ104が形成されているため、この絵素トランジスタ104の良否の方が製造上の歩留りに与える影響がより大きいものとなる。しかも、ゲートバスライン101やソースバスライン102の検査に使用する検査回路113、114は、スイッチ113a、114aを有するため、これらのトランジスタが不良を発生する可能性も少なくなく、さらに、後にこれらのスイッチ113a、114aを切り離す工程が必要になる場合もあった。

【0009】このため、上述の検査方法では、アクティブマトリクス基板の不良の原因の大きな割合を占める絵素トランジスタ104が検査できず、充分な検査を行い得ないという問題がある。しかも、検査回路113、114自身の不良によって歩留りを却って悪化させるおそれもあり、検査コストも高く付くという問題も有している。

【0010】本発明は、上記事情に鑑み、各絵素容量に一旦書き込んだデータを再び読み出して調べることにより、駆動回路やバスラインのみならず絵素トランジスタの良否まで検査可能となり、しかも不良箇所を確実に検出することができるアクティブマトリクス基板の検査方法を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明の検査方法は、縦横に交差して形成された複数の走査信号線とデータ信号線の各交差部にそれぞれスイッチング素子を介して絵素容量を接続したアクティブマトリクス基板の検査方法において、該走査信号線の選択によって当該行の各スイッチング素子を導通させること、この間に各データ信号線を順次選択することにより各絵素容量に所定の映像信号を順に書き込むことこの各スイッチング素子を一旦遮断した後に、再び該走査信号線の選択によって当該行の各

4

スイッチング素子を導通させること、この間に各データ信号線を順次選択することにより各絵素容量に保持された映像信号を順に読み出すこと、この読み出した信号を検査することにより良否を判定することを包含しており、そのことにより上記目的が達成される。

【0012】前記アクティブマトリクス基板には、前記走査信号線を駆動するための走査信号線駆動回路及び前記データ信号線を駆動するためのデータ信号線駆動回路の少なくとも一方が設けられているのが好ましい。

【0013】前記映像信号の書き込み及び読み出しは映像信号端子を介して行うようにするのが好ましい。

【0014】

【作用】本発明によれば、まず走査信号線の選択によって当該行の各スイッチング素子を導通させ、この間に各データ信号線を順次選択することにより各絵素容量に所定の映像信号を順に書き込む。すると、通常の表示の際と同様に、各絵素容量には映像信号が電荷として保持される。

【0015】そして、一旦各スイッチング素子を遮断し、例えば他の行の各絵素容量にも映像信号を書き込んだ後に、再び当該走査信号線の選択によってこの行の各スイッチング素子を導通させ、この間に各データ信号線を順次選択することにより各絵素容量に保持された映像信号を順に読み出す。この映像信号は、書き込み時に使用した映像信号線から読み出すことができる。また、この映像信号は、保持されていた絵素容量ごとにシーケンシャルに読み出される。

【0016】このようにして読み出した映像信号は、例えば元の映像信号と比較する等の検査によって、この映像信号の通過経路を選択する走査信号線駆動回路やデータ信号線駆動回路の動作の良否及び走査信号線の良否、並びに通過経路となるデータ信号線の良否及びアナログスイッチやスイッチング素子の動作の良否を検出することができる。しかも、異常が現れた映像信号の読み出し時系列上での位置を検出すれば、この映像信号を保持していた絵素容量を特定することができる。従って、例えばスイッチング素子の不良が原因であるような場合には、その不良となった絵素トランジスタを特定することができる。また、特定の行又は列上の絵素容量が保持していた映像信号に異常が発生した場合には、その映像信号の経路上のバスラインやアナログスイッチ又はその経路を選択するための駆動回路の不良が原因であると判断することができる。

【0017】この結果、本発明の検査方法によれば、アクティブマトリクス基板の状態で駆動回路やバスラインのみならずスイッチング素子の良否まで、実際の駆動状態に則した検査が可能となり、しかも不良箇所を確実に特定することができるようになる。

【0018】走査信号線駆動回路又はデータ信号線駆動回路がアクティブマトリクス基板上に形成されていない

5

場合には、上述のような検査を行う際の各信号線に対する信号の印加が困難である。しかし、走査信号線駆動回路又はデータ信号線駆動回路が同一基板上に形成されていれば、信号の印加が容易であり、準備すべき信号線が少なく済むという利点がある。

【0019】

【実施例】本発明を実施例について以下に説明する。

【0020】本実施例の検査対象となるアクティブマトリクス基板は、図1に示すように、基板面上に n 行 m 列で形成されたゲートバスライン（走査信号線）1とソースバスライン（データ信号線）2の各交差部に、それぞれ絵素容量3と絵素トランジスタ（スイッチング素子）4とをマトリクス状に配置したものである。絵素容量3は、絵素トランジスタ4を通じて書き込まれた映像信号を保持するためのものであり、この映像信号の電荷によって液晶を駆動することになる。各ゲートバスライン1は、ゲート駆動回路5によって駆動され、当該行の各絵素トランジスタ4のON/OFFを制御するようになっている。このゲート駆動回路5は、同一基板上に形成されたシフトレジスタによって構成され、外部からの電源によって駆動されると共に、同じく外部からのスタート信号及びクロック等によって制御される。

【0021】ソースバスライン2は、ソース駆動回路6によってON/OFFを制御されるアナログスイッチ7を介して、3本のうちのいずれかの映像信号線8に接続される。また、ソースバスライン2は、当該列の絵素トランジスタ4を介して各絵素容量3に接続される。さらに、各ソースバスライン2には、寄生容量が存在し、これで足りない場合には必要に応じてそれぞれ付加容量9が接続され、配線10によって各絵素容量3の他方の電極とこの付加容量9の他方の電極とを接地GNDに接続するようになっている。そして、この寄生容量と付加容量9によってソースバスライン2上に映像信号を保持することができる。ソース駆動回路6は、同一基板上に形成されたシフトレジスタによって構成され、外部からの電源によって駆動されると共に、同じく外部からのスタート信号及びクロック等によって制御される。3本の映像信号線8は、外部から端子8aを介してそれぞれRGBの各3原色の映像信号を入力する信号線である。また、端子8bは、検査用の映像信号を入力するために使用される。なお、11は、この映像信号線8上の寄生容量を示す。

【0022】図2に上記アクティブマトリクス基板における1の絵素容量3についての書き込み読み出し経路の等価回路を示す。この絵素容量3は、ゲートバスライン1によって制御される絵素トランジスタ4を介してソースバスライン2に接続されている。ソースバスライン2には、付加容量9と図示しない寄生容量が存在する。ソースバスライン2は、ソース駆動回路6によって制御されるアナログスイッチ7を介して映像信号線8に接続さ

6

れている。映像信号線8には、寄生容量11が存在する。そして、アクティブマトリクス基板の検査時には、映像信号線8の端子8aにスイッチ12を介してバッファ回路13とA/D変換器14とコンピュータ15が接続される。また、映像信号線8の端子8bには、スイッチ16を介して所定の映像信号が入力されるようになっている。なお、17は、端子8aに接続された検査用の回路の寄生容量を示す。

【0023】上記アクティブマトリクス基板を検査する場合には、まず図3に示すように、制御信号RwのHレベルに基づいてスイッチ16を接続して、端子8bに交流パルス状の映像信号Rを入力する。なお、ここでは、RGBの3種類の映像信号を代表して映像信号Rのみを示しているが、他の映像信号も同様の手順により検査することができる。次に、ゲート駆動回路5を動作させて各ゲートバスライン1（ $Y_1 \sim Y_n$ ）に順次1水平走査期間（1H）だけHレベルとなるゲート信号を送ると、各行の絵素容量3（ $P(1,1) \sim P(1,n)$ ）が順に映像信号を書き込まれる。そして、全てのゲートバスライン1にゲート信号が送られ1垂直走査期間（フィールド）の走査が終了すると、書き込み動作が完了する。

【0024】この図3に示した垂直走査期間中の1水平走査期間の動作のみを図4に基づいてさらに詳しく説明する。なお、1水平走査期間は、ここでは $80\mu s$ である。各水平走査期間には、ソース駆動回路6を動作させ、アナログスイッチ7に制御信号（ $X_1 \sim X_n$ 、ただし、図面は映像信号Rだけのため2つおきに示している）を送って、これを順次ONにする。すると、映像信号線8からの映像信号がこのアナログスイッチ7を介してソースバスライン2の付加容量9等に充電される。また、この時には既にソースバスライン2と交差するいずれかのゲートバスライン1に接続された1の絵素トランジスタ4がONとなっているので、当該絵素の絵素容量3にも映像信号が書き込まれる。ただし、図4に示すように、アナログスイッチ7のONに伴って直ちにソースバスライン2（ $S_1 \sim S_n$ ）への映像信号の充電は行われるが、絵素トランジスタ4を介したこの絵素容量3（ $P(1,1) \sim P(n,1)$ ）への書き込みは、時定数が長いいため、アナログスイッチ7がOFFとなった後も継続される。従って、1水平走査期間の最後に書き込みが行われる絵素容量3の書き込み時間を確保するために、ソース駆動回路6が最初の制御信号を出力するまでの期間、及び最後の制御信号を出力した後の期間に十分な時間の余裕を設けている。

【0025】上記のようにして全ての絵素容量3に映像信号を書き込むと、図5に示すように、制御信号RwのLレベルに基づいてスイッチ16を開放すると共にスイッチ12を接続して、端子8aから信号をバッファ回路13に出力できるようにする。なお、制御信号Rwは、後の図6で説明するように実際には完全にLレベルには

7

ならず、高速でH/Lを繰り返している。また、端子8bの映像信号Rは接地GNDのLレベルに固定する。次に、ゲート駆動回路5を動作させて各ゲートバスライン1 ($Y_1 \sim Y_n$) に順次1水平走査期間だけHレベルとなるゲート信号を送る。すると、ゲート信号が送られて来た各ゲートバスライン1に接続された絵素トランジスタ4がONとなって当該絵素容量3に保持されていた映像信号がソースバスライン2に読み出されることになる。そして、全てのゲートバスライン1にゲート信号が送られ1垂直走査期間の走査が終了すると、読み出し動作が完了する。

【0026】この図5に示した垂直走査期間における1水平走査期間の動作を図6に基づいてさらに詳しく説明する。各水平走査期間には、ソース駆動回路6を動作させ、アナログスイッチ7に制御信号 ($X_1 \sim X_n$) を送って、これを順次ONにする。すると、既に絵素容量3からソースバスライン2に読み出されていた映像信号がこのアナログスイッチ7を介して順次映像信号線8に至り、端子8a及びスイッチ12を通してバッファ回路13に送られる。そして、バッファ回路13で増幅された映像信号Rrは、A/D変換器14でデジタル信号に変換されてコンピュータ15に入力されることになる。なお、アナログスイッチ7を制御する制御信号 ($X_1 \sim X_n$) は、映像信号線8に対して2本おきに出力されるので、前後の制御信号の間にはある程度の間隔が開く。そこで、この制御信号の各間隔によりアナログスイッチ7がOFFとなるたびに、前記制御信号RwがHレベルとなって、スイッチ12、16を切り換え、映像信号線8の寄生容量11に残留した映像信号を消去するようにしている。

【0027】コンピュータ15では、時系列で送られて来るデジタルの映像信号Rrを順次所定のメモリに記憶すると共に、これを所定のパターンと比較する。そして、ゲート駆動回路5、ソース駆動回路6及びアナログスイッチ7並びに絵素トランジスタ4の動作に異常がなく、ゲートバスライン1やソースバスライン2に断線等が発生していなければ、この映像信号Rrは図6に示したような周期的なパルスとなり、正常であるとの判断を行うことができる。しかし、例えば一部の絵素トランジスタ4が正常動作しなかった場合には、映像信号Rrにおける時系列上の対応位置のパルスが欠けた状態となり、これによってアクティブマトリクス基板の不良を検出することができる。また、映像信号Rrにおけるこのパルスが欠けた時系列上の位置を検出することにより、欠陥のある絵素トランジスタ4を特定することができ、これによってレーザ等による修正作業も容易になる。

【0028】また、本実施例の検査方法によれば、アクティブマトリクス基板全体の書き込みと読み出しに2垂直走査期間だけの時間を要し、約30分の1秒の短時間で検査を完了することができる。ただし、実際のアクテ

8

ィブマトリクス基板では、絵素容量3が約0.2pF、ソースバスライン2の付加容量9 (寄生容量を含む) が約5~10pF、映像信号線8の寄生容量11が約10~20pF程度となる。従って、5Vの映像信号を書き込んだ場合、読み出した映像信号rは約40mVとなり、完全な断線やリークを検出することは可能であるが、微妙な欠陥の検出は困難な場合が生じる。そこで、上記2垂直走査期間による映像信号の書き込み読み出し動作を例えば10~100回程度繰り返し、コンピュータ15によって同一絵素容量3から読み出した映像信号同士を順次加算することによりS/N比を向上させ、時定数が駆動のタイミングと同程度となるリーク等の微妙な欠陥の検出も可能にすることができる。そして、この場合であっても、全ての検査に要する時間は、僅かに数分の1秒~数秒程度であり、効率的な検査を行うことができる。

【0029】以上説明したように、本実施例の検査方法によれば、アクティブマトリクス基板を駆動回路5、6やバスライン1、2等だけでなく絵素トランジスタ4の動作まで迅速かつ確実に検査することができるようになる。しかも、実際に映像信号を絵素容量3に書き込んで検査を行うため、映像信号の書き込みや保持に伴う全ての機能について一括して効率的な検査を行うことができる。また、絵素トランジスタ4等の各絵素ごとの欠陥であれば、この位置を確実に特定することができ、駆動回路5、6やバスライン1、2の欠陥の場合には、読み出した映像信号に発生する異常箇所の分布を調べることにより、その欠陥箇所を高い精度で推定することもできる。ただし、検査の効率化のために、駆動回路5、6に付いては別途他の方法による検査を実施してもよい。

【0030】なお、本実施例では、各絵素容量3に書き込む映像信号を1水平走査期間ごとに反転する交流パルス信号とし、1行の書き込みが行われるたびに各絵素容量3の保持動作を行うようにしていたが、本発明は、このような駆動方法に限定されるものではなく、例えば一定の映像信号を全ての絵素容量3に書き込んでから保持動作を行い、その後映像信号を順次読み出すようにすることもできる。

【0031】また、本実施例では、アクティブマトリクス基板の外部に検査用のスイッチ12、16やバッファ回路13等を接続する構成としたが、これらの回路もゲート駆動回路5やソース駆動回路6と共に同一基板上に形成して検査を行うようにすることができる。このスイッチ12、16は、多結晶SiTFTによるCMOS回路によって構成することができる。バッファ回路13は、オペアンプやソースフォロワ等の回路によって構成することができる。また、このバッファ回路13は、入力インピーダンスを絵素トランジスタ4のON抵抗よりも高くし、入力容量を絵素容量3よりも小さくして、電圧利得を1以上、望ましくは絵素容量3に対するソース

9

バスライン2の容量(付加容量9)の比より多くすれば、精度の高い検出が可能となる。

【0032】さらに、本実施例では、3本の映像信号線8を有するアクティブマトリクス基板を用いて説明を行ったが、本発明はこれに限定されるものではなく、上記図6で示した制御信号Rwによる寄生容量11の除去が可能な構成であればどのようなものであっても実施可能である。

【0033】図2の等価回路に於いて、ソースバスライン2とグランドとの間、及びバッファ13の入力部とグランドとの間に電位をリフレッシュするためのスイッチを設けるようにしてもよい。この場合、これらのスイッチはスイッチ12、16と同様にCMOSFETにより構成することが出来る。

【0034】

【発明の効果】以上の説明から明らかなように、本発明のアクティブマトリクス基板の検査方法によれば、駆動回路やバスラインのみならず絵素トランジスタの良否まで迅速かつ確実に検査できるので、精度の高い検査が可能となり、しかも、アクティブマトリクス基板の状態

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであって、アクティブマトリクス基板のブロック図である。

【図2】本発明の一実施例を示すものであって、1の絵

10

素容量についての書き込み読み出し経路を示す等価回路である。

【図3】本発明の一実施例を示すものであって、映像信号書き込み時における垂直走査期間の各信号を示すタイムチャートである。

【図4】本発明の一実施例を示すものであって、映像信号書き込み時における水平走査期間の各信号を示すタイムチャートである。

【図5】本発明の一実施例を示すものであって、映像信号読み出し時における垂直走査期間の各信号を示すタイムチャートである。

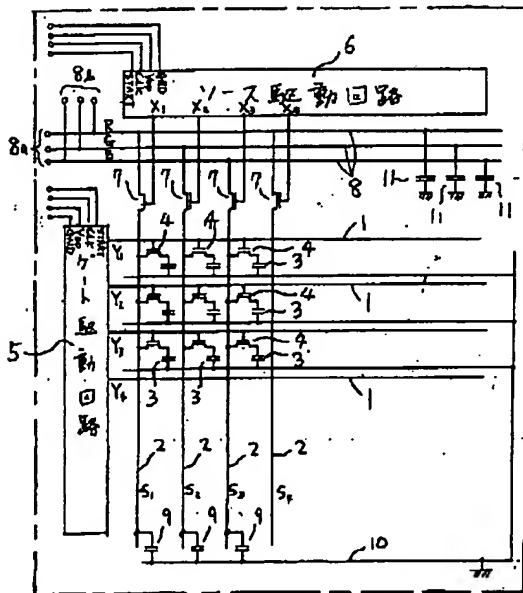
【図6】本発明の一実施例を示すものであって、映像信号読み出し時における水平走査期間の各信号を示すタイムチャートである。

【図7】アクティブマトリクス基板のブロック図である。

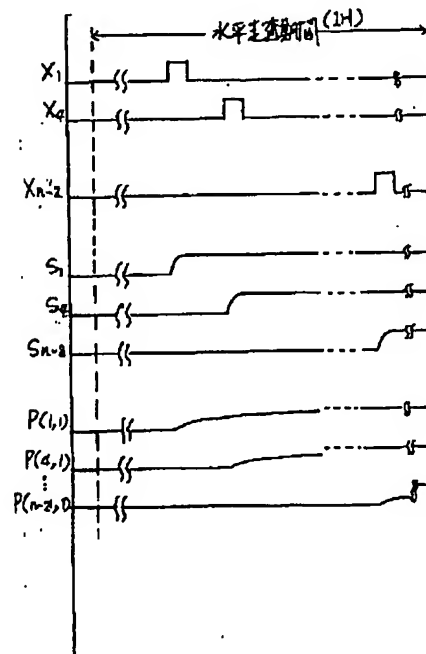
【符号の説明】

- 1 ゲートバスライン(走査信号線)
- 2 ソースバスライン(データ信号線)
- 3 絵素容量
- 4 絵素トランジスタ(スイッチング素子)
- 5 ゲート駆動回路
- 6 ソース駆動回路
- 12 スイッチ
- 15 コンピュータ
- 16 スイッチ

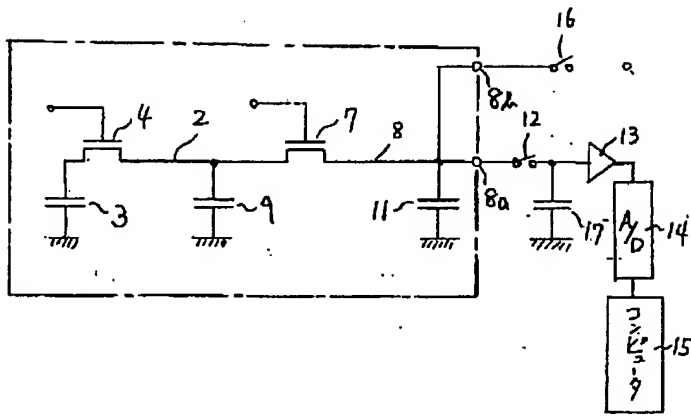
【図1】



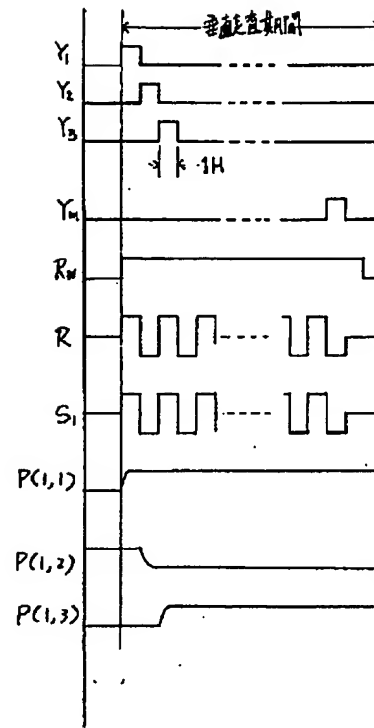
【図4】



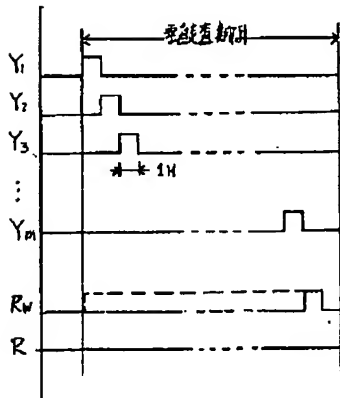
【図2】



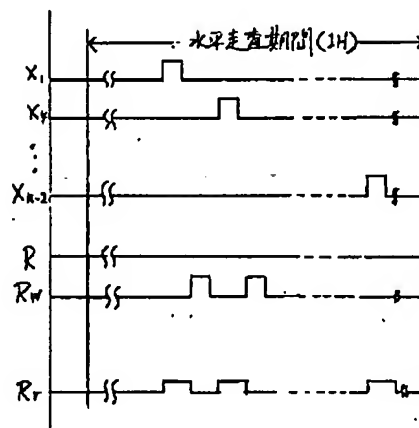
【図3】



【図5】



【図6】



【图7】

